

引用格式:姜爽,刘诗斌,郭晨光,等.通用总线控制器抗 SEU 加固设计研究[J].微电子学与计算机,2020,37(12):81-86.
[JIANG S,LIU S B,GUO C G,et al. Research on the optimized design of anti-SEU for bus controller chip[J]. Microelectron-
ics & Computer,2020,37(12):81-86.]

通用总线控制器抗 SEU 加固设计研究

姜 爽^{1,2},刘诗斌¹,郭晨光¹,彭 斌²,樊 旭²

(1 西北工业大学 电子信息学院,西安 710072;2 北京微电子技术研究所,北京 100076)

摘 要:随着集成电路制造技术的发展,寄存器和 SRAM 等存储单元在空间辐射环境中越来越容易受到单粒子翻转(SEU)效应的影响.传统抗 SEU 加固方法分为工艺加固和设计加固,前者依赖于工艺平台,难度大、周期长,后者仅针对芯片内部特定 SEU 敏感单元.通过提出一种针对通用总线控制器的芯片级抗 SEU 加固设计方法,采用冗余编码和刷新技术,可以进一步提高芯片的抗 SEU 能力;通过划分影响域和添加中断源,便于定位芯片中 SEU 敏感位置,从而有利于片内刷新操作和后续设计优化.实验结果表明,与传统的辐射加固方法相比,新方法具有更高的辐射可靠性和容错能力.

关键词:抗 SEU;总线控制器;冗余编码;刷新;中断源

中图分类号: TN4 **文献标识码:** A **文章编号:** 1000—7180(2020)12—0081—06

Research on the optimized design of anti-SEU for bus controller chip

JIANG Shuang^{1,2},LIU Shi-bin¹,GUO Chen-guang¹,PENG Bin²,FAN Xu²

(1 School of Electronics and Information, Northwestern Polytechnical University, Xi'an 710072, China;
2 Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: With the development of integrated circuit manufacturing technology, memory cells such as registers and SRAMs are more and more vulnerable to single-event upset (SEU) effect in space radiation environment. There are two traditional anti-SEU methods, i. e. manufacturing process reinforcement and design reinforcement. The former depends on the process platform, which is difficult and has a long period. The latter is only for specific SEU sensitive elements of the chip. By proposing a chip-level anti-SEU reinforcement design method for an universal bus controller chip, using redundant coding and scrubbing methods, the anti-SEU ability of the chip can be further improved. Meanwhile, by dividing influence domain and adding interrupt sources, the chip's SEU-sensitive elements can be easily identified, which is very convenient for in-system refreshing and subsequent optimization. Verified by SEU experiment, the proposed chip has higher radiation reliability and fault-tolerance than the chip with traditional radiation-hardening methods.

Key words: Anti-SEU; bus controller; redundant encoding; Sscrubbing; interrupt sources

1 引言

随着集成电路特征工艺尺寸的减小,逻辑存储单元翻转的临界电荷变小,半导体器件在空间应用

时更容易受到单粒子翻转 (Single-event upset, SEU)效应的影响^[1].解决 SEU 问题通常包括工艺加固和设计加固两种方法^[2].工艺加固主要依赖于工艺制造平台,难度大,周期长.设计加固通常采用常规抗辐照加固技术对芯片内部辐射敏感单元(如

寄存器、SRAM 等)进行加固设计,如三模冗余(Triple modular redundancy, TMR)、双互锁存储单元(Dual interlocked storage cell, DICE)、纠错码^[3]和刷新操作^[4]. 设计加固主要针对芯片内部的特定单元,通常没有进行芯片级的抗辐照加固设计考虑,本文以仍然存在一定的优化空间.

本文以通用总线控制器芯片的设计为例,研究了一种芯片级抗 SEU 优化设计方法,以进一步提高总线控制器芯片的抗 SEU 可靠性和容错能力.

2 总线控制器中的 SEU 效应

总线控制器芯片内部通常有三类 SEU 敏感单元:配置寄存器(Configuration register, CR)、有限状态机(Finite state machine, FSM)和数据存储器(Data memories),如图 1 所示^[5-6].

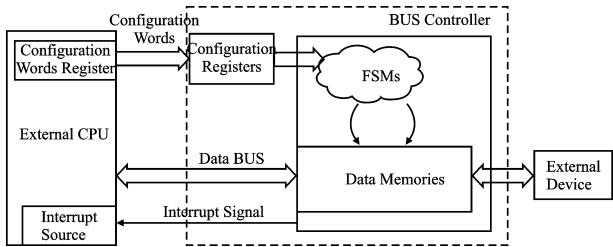


图 1 总线控制器中 SEU 敏感单元

其中,CRs 用于存储外部 CPU 发送的配置字(Configuration words),配置字主要用于地址空间映射、工作模式控制等. FSMs 是通过寄存器实现的,其状态跳转由配置字控制. 数据存储器通常由 SRAM 阵列实现,用于数据和指令存储. 通过采用图 1 中的中断源(Interrupt source),外部 CPU 可以响应总线控制器产生的中断信号(Interrupt signal)^[7].

假设有四个功能模块(FM0~FM3),其子 FSMs 由一个 CR 控制. 如果 SEU 发生在 CR 中,则所有模块都会出错,如图 2 所示. 即使 CR 是采用 TMR 方法设计的,前一个模块的 SEU 引起的错误也会被连续传播,如图 3 所示. 对于采用两个寄存器设计的 3 状态 FSM 来说,SEU 将导致状态的错误跳转,并在跳转到未定义的状态(Undefined state)后锁定,如图 4 所示. 此外,对于数据存储器,当 SEU 发生时,所存储数据可能会被损坏.

3 芯片级抗 SEU 加固设计

本文采用传统的抗辐照加固技术进行芯片内部 SEU 敏感单元设计. 其中,寄存器采用 TMR 设计

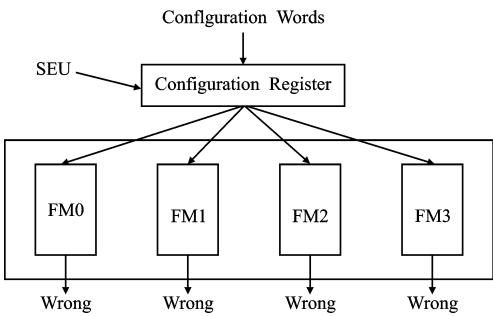


图 2 CR 发生 SEU 时影响情况

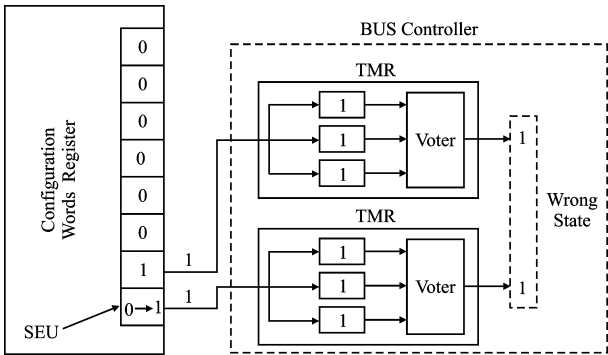


图 3 CR 发生 SEU 时错误传播

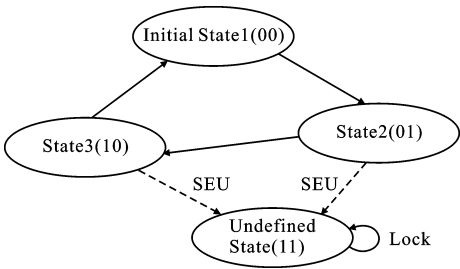


图 4 FSM 发生 SEU 时影响情况

结构;采用扩展汉明码进行数据存储器的错误检测和校正(Error detection and correction, EDAC)电路设计,以区分 2bit 错误和 1bit 错误,并实现纠一检二的功能^[8];数据存储器采用适用于 SRAM 的 DICE 结构设计.

为了解决上一节所述 SEU 效应,并实时监测总线控制器芯片中的 SEU 敏感单元,本文首先对 CR 和 FSM 采用冗余编码和刷新的方法,使这些单元具有自恢复能力和一定程度的容错能力,然后对 SRAM 阵列采用刷新的方法进行 SEU 错误消除,最后通过划分电路影响域并向外部 CPU 提供中断源,以帮助识别发生 SEU 时相应模块的位置,并统计 SEU 次数. 通过统计 SEU 次数来识别芯片内部 SEU 敏感区域和敏感单元,从而便于后续进行精确的设计优化. 下面将详细分析本文所采用的芯片级

抗 SEU 加固设计方法.

3.1 配置寄存器冗余编码设计

CR 冗余编码设计是指扩展 CR 的位宽,将原始配置字的每一位扩展为多位(M).以 M=3 为例,如表 1 所示,原始状态编码的宽度从 2bit 扩展到 6bit,并向每个状态添加六个不同的冗余状态编码.冗余状态编码中只有 1bit 与扩展状态编码不同,所有状态编码各不相同.因此,对于扩展状态编码中任何一位发生翻转,CR 都会进入相应的冗余状态.

表 1 CR 冗余编码设计(M=3)

逻辑状态	原始状态编码	扩展状态编码	冗余状态编码	
State1	00	000000	000001	000010
			000100	001000
			010000	100000
State2	01	000111	000110	000101
			000011	001111
			010111	100111
State3	10	111000	111001	111010
			111100	110000
			101000	011000
State4	11	111111	111110	111101
			111011	110111
			101111	011111

完成冗余编码后,将判决和刷新逻辑(Decision and refresh logic)添加到 CR 的输出中,如图 5 所示.当发生 SEU 后出现冗余代码时,CR 将在下一个状态被刷新回扩展状态编码.同时,将发送相应的中断信号给外部 CPU.

与图 3 中所示的 TMR 方法相比,冗余编码方法也是基于冗余度来提高 SEU 容错性的.然而,本文通过改变配置字编码方式,具有比 TMR 更高的抗 SEU 能力.

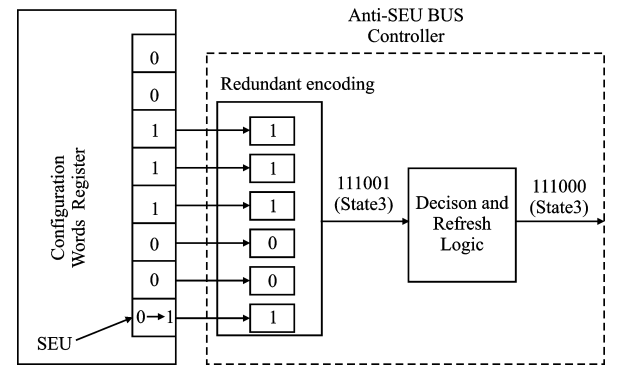


图 5 CR 发生 SEU 时错误恢复

3.2 有限状态机冗余编码设计

有两种办法可以改善 FSM 的抗 SEU 性能.首先,修改 FSM 的未定义状态,当进入未定义状态后

将在下一个时钟周期返回初始状态.第二种方法是通过冗余编码方法来增加冗余状态,如图 6 所示.当发生 SEU 时,如果 FSM 进入未定义状态,将不会被锁定,而是跳转到初始状态(State1);如果 FSM 进入冗余状态,将继续正常工作,并在下一个时钟周期进入定义的状态.此外,外部 CPU 将响应相应的中断信号,并提前采取适当的措施.

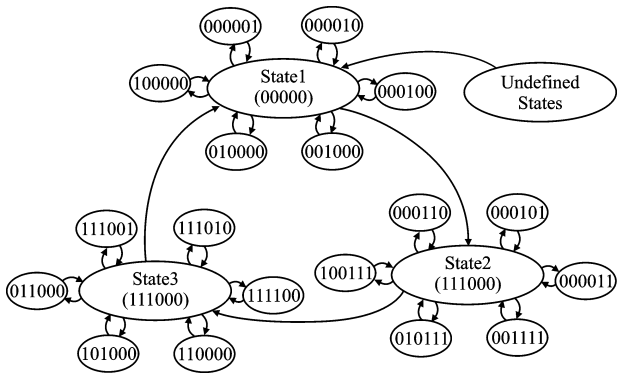


图 6 FSM 冗余状态编码

3.3 数据存储单元刷新设计

刷新的基本原理是:双端口 SRAM 可以同时通过两组端口进行读和写操作,当一组端口与 CPU 正常交互时,可以同时控制另一组端口执行刷新操作[9].在实际应用中,当一组端口空闲时,刷新操作是一种非常有效的端口利用方式.

为了提高指令和数据存储的可靠性,本文为指令 SRAM 设计了刷新电路,并同时为指令 SRAM 和数据 SRAM 设计了 EDAC 电路,如图 7 所示.

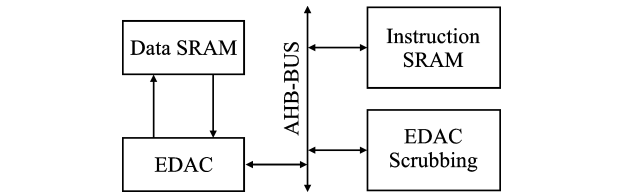


图 7 数据存储单元电路结构示意图

对于指令 SRAM,地址指针由刷新电路独立维护.指令 SRAM 上的每个读或写操作连续执行两次,以降低发生 SEU 时出错概率.通过使用 EDAC 电路,该刷新电路还可以消除累积的 SEU 错误.对于数据 SRAM,只需要 EDAC 电路.这是因为如果指令 SRAM 中发生 2bit 错误,总线控制器将进入未知状态,导致电路功能混乱;如果数据 SRAM 中发生 2bit 错误,则可以通知系统重写数据,不影响电路功能.所有数据交互均由 AHB 总线完成.

地址刷新率称为刷新频率,用户可以设置.如果

发生 2bit 错误,则可以在对此地址执行数据刷新时通知系统.由于 EDAC 电路可以纠正 1bit 错误,单个数据比特的校正过程对整个系统是不可见的.纠错不仅发生在内部刷新中,也发生在用户要求的读取周期中.

3.4 影响域划分

首先,以 CR 为例,图 2 中的四个模块共享一个 CR.如果每个模块都有一个单独的 CR,则可以降低 SEU 的影响.如图 8 所示,当 SEU 发生在第二个 CR(CR2)中时,其它模块仍然可以正常工作,外部 CPU 可以根据中断类型单独向第二个模块发送软复位命令.因此,对 CR 划分影响域可以有效提高芯片的抗 SEU 性能,降低发生 SEU 时对芯片的影响程度,而 TMR 等寄存器级抗 SEU 方法则无法实现类似的功能.

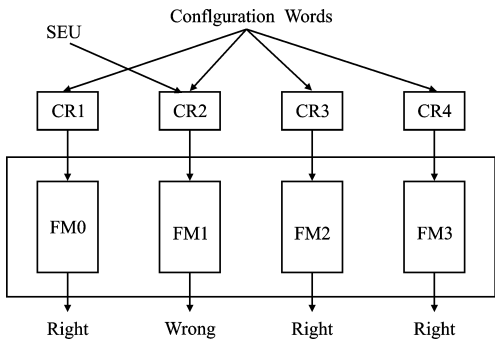


图 8 基于 CR 划分影响域

同样,对于指令 SRAM 和数据 SRAM 来说,数据存储器可以分别划分为两个影响域.

综上,根据影响域划分情况,本文为外部 CPU

添加了六个中断源.相应的,总线控制器电路内部 SEU 敏感单元产生六种中断信号.当 SEU 发生时,相应的中断源将统计中断次数,并识别相应模块的位置.因此,很容易知道哪些模块对 SEU 更敏感,这对后续的电路设计优化非常有益.

当检测到 CR 或指令 SRAM 产生的中断信号时,外部 CPU 可以向总线控制器电路发送软复位命令,以防止芯片在错误状态下继续工作.当检测到数据 SRAM 产生的中断信号时,外部 CPU 可以选择重写相应的数据,也可以选择忽略当前帧的数据并继续工作.

4 SEU 实验验证

本文采用 0.18 μ m CMOS 工艺,在某公司的 BM3831 总线控制器芯片中成功实现了上文所提出的抗 SEU 加固设计.另外,随着刷新频率的增加,SRAM 的访问时间将会减少.数据吞吐量与刷新频率之间的关系如图 9 所示.用户可以根据系统需求在数据吞吐量和刷新频率之间进行折中.

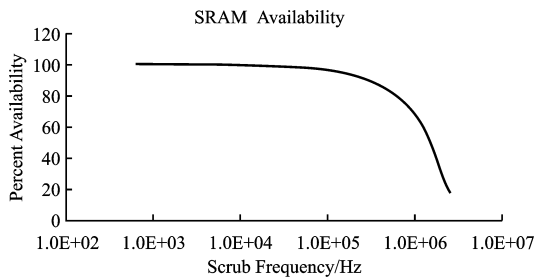


图 9 数据吞吐量 VS 刷新频率

表 2 SEU 和 SEFI 测试结果(基于传统抗辐照加固方法)

Ions	Energy (MeV)	Range (μ m Si)	LET (MeV. cm ² /mg)	SEFI Cross-Section(cm ²)	SEFI times	SEU Cross-Section(cm ²)	SEU times
Cl	158	51.1	13.1	0.0E+0	0	0.0E+0	0
Ti	169	37.9	21.8	3.96E-7	4	1.25E-6	13
Ge	205	30	37.3	1.15E-6	12	7.83E-6	78
Bi	923.2	53.7	99.8	8.87E-6	89	3.77E-5	387

表 3 SEU 和 SEFI 测试结果(基于本文抗辐照加固方法)

Ions	Energy (MeV)	Range (μ m Si)	LET (MeV. cm ² /mg)	SEFI Cross-Section(cm ²)	SEFI times	SEU Cross-Section(cm ²)	SEU times
Cl	158	51.1	13.1	0.0E+0	0	0.0E+0	0
Ti	169	37.9	21.8	1.0E-7	1	1.7E-7	2
Ge	205	30	37.3	1.96E-7	2	4.5E-6	47
Bi	923.2	53.7	99.8	1.57E-6	16	2.0E-5	221

为了验证该芯片的抗 SEU 性能,本文设计了 PCB 验证平台,包括 BM3831、FPGA、FLASH、SDRAM、JTAG 等,如图 10 所示.其中,使用 FLASH 和 SDRAM 辅助 FPGA 控制 BM3831,使用 JTAG 进行调试.

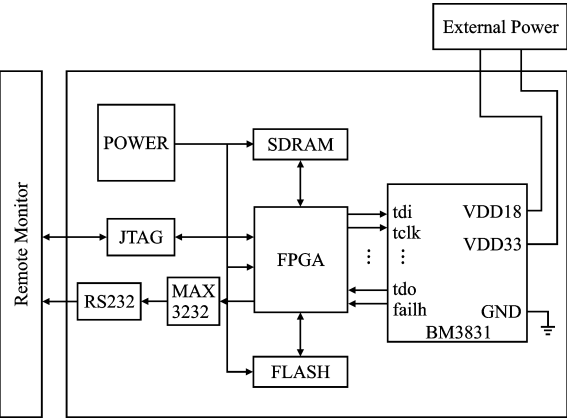


图 10 SEU 实验 PCB 验证板原理图

本文通过可测性设计(Design for test,DFT)的方式进行了 SEU 测试,通过功能测试的方式进行了单粒子功能中断(Single-event functional interrupt, SEFI)测试,从而验证所设计芯片的抗 SEU 性能.在 SEU 实验中使用了四种垂直入射离子(Cl、Ti、Ge 和 Bi),所有离子在硅中的射程都大于 $30\mu\text{m}$.当总注量超过 $1\text{e}7/\text{cm}^2$ 时,更换测试离子类型^[10].

为了进行对比,本文首先测试了仅采用传统抗 SEU 加固策略时相应总线控制器芯片的抗辐照性能,对应的 SEU 和 SEFI 测试结果如表 2 所示.利用 Weibull 函数,可以对单粒子实验截面和入射粒子的线性能量传递(Linear energy transfer, LET)值进行 Weibull 曲线拟合,如图 11 所示.经过计算,该芯片发生 SEU 的饱和截面为 $5.49\text{e-}8\text{cm}^2$,相应的 LET 阈值为 $16.8\text{ MeV}\cdot\text{cm}^2/\text{mg}$.同时,该芯片发生 SEFI 的饱和截面为 $2.32\text{e-}7\text{cm}^2$,相应的 LET 阈值为 $17.3\text{ MeV}\cdot\text{cm}^2/\text{mg}$.

表 3 统计了基于本文所提出 SEU 优化策略设计的总线控制器芯片 SEU 和 SEFI 测试结果,相应的 Weibull 曲线拟合结果如图 12 所示.经过计算, BM3831 总线控制器芯片发生 SEU 的饱和截面为 $1.48\text{e-}5\text{cm}^2$,相应的 LET 阈值为 $25.2\text{ MeV}\cdot\text{cm}^2/\text{mg}$.同时,该芯片发生 SEFI 的饱和截面为 $1.02\text{e-}6\text{cm}^2$,相应的 LET 阈值为 $24.3\text{ MeV}\cdot\text{cm}^2/\text{mg}$.

通过实验数据对比,采用本文 SEU 优化方法设计的芯片比采用传统 SEU 加固方法设计的芯片具有更高的辐射可靠性和容错性.此外,从表 3 中可以

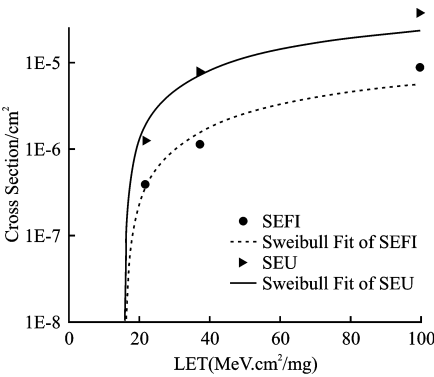


图 11 SEU 优化前 Weibull 曲线拟合结果

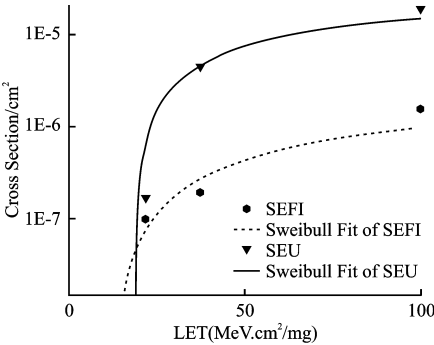


图 12 SEU 优化后 Weibull 曲线拟合结果

看出,SEFI 的时间远小于 SEU 的时间,这意味着所提出的抗 SEU 设计效果良好.

5 结束语

本文 SEU 优化设计方法提高了总线控制器芯片的抗 SEU 性能,比采用传统 SEU 加固方法设计的芯片具有更高的抗 SEU 可靠性和容错性.由于芯片内部辐射敏感单元可以很容易地被中断源识别,这对于后续电路优化设计时的最优策略选择是非常有效的,并且可以方便地应用于同类芯片的优化设计中.通过验证,所提出的抗 SEU 设计效果良好.此外,由于与工艺制造平台无关,并且比传统的辐射加固策略具有更高的可靠性,本文提出的芯片级抗 SEU 优化设计方法可以广泛应用于抗 SEU 集成电路设计过程中.

参考文献:

[1] AHMAD S, ZAHRA M, FAROOQ S Z, et al. Comparison of edac schemes for ddr memory in space applications[C] //2013 International Conference on Aerospace Science Engineering (ICASE). 2013: 1-5.

[2] BENITES L A C, KASTENSMIDT F L. Fault injection methodology for single event effects on clock-ga-

- ted asics[C] //2017 18th IEEE Latin American Test Symposium (LATS). 2017: 1-4.
- [3] JIANG S, LIU S, GUO C, et al. Implementation of arinc 659 bus controller for space-borne computers[J]. Electronics, 2019, 8: 435.
- [4] KRASNYUK A, KISELEVA A. Tmr vs. dice schematic analysis[C] //2017 International Siberian Conference on Control and Communications (SIBCON). 2017: 1-4.
- [5] NAKAJIMA M, OIKAWA S. Analyzing behavior of less interrupt overhead architecture for effective cache utilization[C] //2014 Second International Symposium on Computing and Networking. 2014: 611-613.
- [6] GUO C, XU J, JIANG S, et al. A Novel Universal Radiation-hardened FFT Chip Design[C] //2018 International Conference on Radiation Effects of Electronic Devices (ICREED). 2018: 1-4.
- [7] SUSHMA K, NAIDU C D, SAI Y P, et al. Design and implementation of high performance mil-std-1553b bus controller[C] //2017 IEEE 7th International Advance Computing Conference (IACC). 2017: 266-269.
- [8] WANG W, ZHANG Y, WANG X, et al. Fault detection and recovery strategy for partial 1553b bus controller ram failure of spacecraft in orbit[C] //2018 2nd IEEE Advanced Information Management, Communications, Electronic and Automation Control Conference (IMCEC). 2018: 2275-2279.
- [9] MCMORROW D, LOTSHAW W T, MELINGER J S, et al. Single-event upset in flip-chip sram induced by through-wafer, two-photon absorption[J]. IEEE Transactions on Nuclear Science, 2005, 52 (6): 2421-2425.
- [10] ZHANG L, XU J, FAN S, et al. Single event upset sensitivity of d-flip flop: Comparison of pdsoi with bulk si at 130 nm technology node[J]. IEEE Transactions on Nuclear Science, 2017, 64(1): 683-688.

作者简介:

姜爽 女,(1981-),博士研究生,高级工程师.研究方向为 ASIC 和 SoC 系统架构和前端设计.

刘诗斌 男,(1960-),博士研究生,教授.研究方向为智能传感器系统和数模混合集成电路设计.

郭晨光(通讯作者) 男,(1985-),博士研究生,高级工程师.研究方向为 FPGA 和通信 ASIC 设计.

E-mail: nvs_2008@126.com